

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043284
 (43)Date of publication of application : 08.02.2002

(51)Int.Cl. H01L 21/3065
 H01L 21/28
 H01L 21/3213
 H01L 21/3205
 H01L 29/43

(21)Application number : 2000-219562

(71)Applicant : HITACHI LTD
 HITACHI KASADO ENG CO LTD
 HITACHI INDUSTRIES CO LTD

(22)Date of filing : 19.07.2000

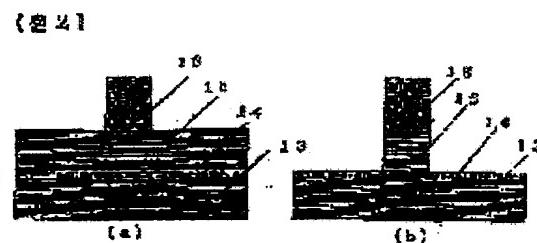
(72)Inventor : SAKAGUCHI MASAMICHI
 SAITO TAKESHI
 KIKKAI MOTOHIKO
 YAMAMOTO NAOHIRO

(54) STACKED FILM SURFACE TREATING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a stacked film surface treating method capable of treating a stacked silicon film with anisotropy and high precision when treating it with a plasma etching device.

SOLUTION: Treatment is divided into several steps until exposing a gate oxide film 14 and for removing residue on the side wall of a gate electrode polycrystal silicon part 15 and the film 14. Plasma etching using gaseous hydrogen bromide (HBr) or mixed gas containing hydrogen bromide (HBr) is performed in at least one step in a former half and plasma etching using mixed gas of chloride (Cl₂) and oxide (O₂) is performed in at least one step in a latter half.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-43284

(P2002-43284A)

(43)公開日 平成14年2月8日(2002.2.8)

(51)Int.Cl.⁷
H 01 L 21/3065
21/28

識別記号
301
21/3213

F I
H 01 L 21/28
21/302
21/88

テーマコード(参考)
F 4 M 1 0 4
3 0 1 A 5 F 0 0 4
3 0 1 R 5 F 0 3 3
J
D

審査請求 未請求 請求項の数 5 OL (全 7 頁) 最終頁に続く

(21)出願番号 特願2000-219562(P2000-219562)

(22)出願日 平成12年7月19日(2000.7.19)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71)出願人 390010973
日立笠戸エンジニアリング株式会社
山口県下松市大字東豊井794番地
(71)出願人 000233077
株式会社 日立インダストリーズ
東京都足立区中川四丁目13番17号
(74)代理人 100078134
弁理士 武 顯次郎

最終頁に続く

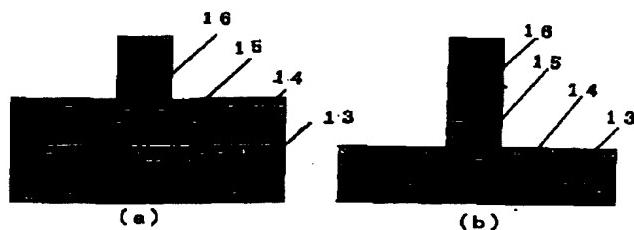
(54)【発明の名称】 堆積膜表面処理方法

(57)【要約】 (修正有)

【課題】 プラズマエッチング装置によって処理加工する際に、シリコン堆積膜を、異方性で、高い加工精度によって処理加工することが可能な堆積膜表面処理方法を提供する。

【解決手段】 加工処理をゲート酸化膜14を露出するまでと、ゲート電極多結晶シリコン部15の側壁及びゲート酸化膜14上の残渣を除去するための複数のステップに分けて行うようにし、前半の少なくとも1つのステップにおいて臭化水素(HBr)ガスまたは臭化水素(HBr)を含有する混合ガスを用いたプラズマエッチング処理を行い、後半の少なくとも1つのステップにおいて塩素(Cl₂)と酸素(O₂)の混合ガスを用いてプラズマエッチング処理を行う。

【図2】



【特許請求の範囲】

【請求項1】シリコン堆積膜をプラズマエッチング装置によって処理加工する堆積膜表面処理方法であつて、前記加工処理を複数のステップに分けて行うようにし、前記複数のステップの中の前半の少なくとも1つのステップにおいて臭化水素(HBr)ガスまたは臭化水素(HBr)を含有する混合ガスを用いたプラズマエッチング処理を行い、かつ、前記複数のステップの中の後半の少なくとも1つのステップにおいて塩素(Cl₂)と酸素(O₂)の混合ガスを用いてプラズマエッチング処理を行うことを特徴とする堆積膜表面処理方法。

【請求項2】前記シリコン堆積膜は、導電性の異なる膜を共有するデュアルゲート膜構造のものであることを特徴とする請求項1記載の堆積膜表面処理方法。

【請求項3】前記シリコン堆積膜は、高融点金属または高融点金属のシリサイドを有するものであることを特徴とする請求項1または2のいずれかに記載の堆積膜表面処理方法。

【請求項4】前記塩素(Cl₂)と酸素(O₂)の混合ガスは、酸素(O₂)の混合率が0.5%乃至30%の範囲内であることを特徴とする請求項1乃至3のいずれかに記載の堆積膜表面処理方法。

【請求項5】前記シリコン堆積膜は、加工処理する際に用いるマスクの材料として、炭素を主成分とするもの、窒化シリコンからなるもの、酸化シリコンからなるもの、あるいはこれらを多層にしたものを使っていることを特徴とする請求項1乃至4のいずれかに記載の堆積膜表面処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、堆積膜表面処理方法に係わり、特に、プラズマ発生装置を用いて半導体素子表面のシリコン堆積膜のエッチング処理を行うのに適した堆積膜表面処理方法に関する。

【0002】

【従来の技術】従来、半導体装置の製造工程においては、半導体素子表面の加工処理、例えば半導体素子の表面に堆積したシリコン堆積膜をエッチング処理する処理工程を含んでいる。そして、このシリコン堆積膜のエッチング処理には、通常、プラズマエッチング装置を用いているもので、エッチング処理すべき半導体素子をプラズマエッチング装置内に入れ、プラズマ雰囲気中で所要のエッチング処理を行っているものである。

【0003】この場合、半導体素子表面のエッチング処理に使用されるプラズマエッチング装置には、主として高い加工精度を得るものとして、米国特許第4,490,209号明細書に開示されたプラズマエッチング装置が知られている。ここに開示されたプラズマエッチング装置は、プラズマとなるガスに臭化水素(HBr)を添加したもので、臭化水素(HBr)を添加したことにより、被加工物質であるシリコン(Si)膜を異方性にエッチング処理することができるものである。

【0004】ところで、近年、各種の情報内容が高密度化したのに伴い、このような高密度情報を処理する半導体装置の構成も微細構造のものになっており、半導体装置内に形成される大規模集積回路(LSI)についても、配線や電極を加工する際に高い加工精度が要求される。

【0005】このような微細構造の半導体装置において、例えば256MBitを超えるメモリ素子を構成する場合には、メモリ素子の構成要素となる各MOSトランジスタのゲート酸化膜の厚さを6nm以下に形成する必要がある。そして、このようなMOSトランジスタは、異方性と下地のゲート酸化膜との選択比がトレードオフの関係になるため、エッチング処理によって得ることが極めて難しくなってきている。

【0006】これと同時に、近年、半導体装置においては、高速化及び低消費電力化が要望されるに伴い、nMOSトランジスタ等のnMOS素子とpMOSトランジスタ等のpMOS素子とを組み合わせたCMOS素子が多く用いられるようになっている。このCMOS素子は、pMOS側のゲート電極領域となる多結晶シリコン内にp型不純物をドープし、nMOS側をゲート電極領域となる多結晶シリコン内にn型不純物をドープしたいわゆるデュアルゲート構造を備えるものである。

【0007】

【発明が解決しようとする課題】CMOS素子のように、導電性を異にするゲート電極、すなわちp型ゲート電極及びn型ゲート電極が混在した相補ゲート電極を備える場合、その相補ゲート電極部分をエッチングによって形成する際には、単一導電性のゲート電極部分をエッチングによって形成する場合に比べて、以下に述べるように、加工上種々の制約が生じることになる。

【0008】すなわち、相補ゲート電極を形成する場合、例えばリソグラフィ工程を増加して、p型ゲート電極領域とn型ゲート電極領域とを個別のエッチング処理によって形成すると、その分処理工程が増えることになり、全体の製造コストが増大するようになる。このため、p型ゲート電極領域とn型ゲート電極領域とは、どうしても同時エッチング処理によって形成する必要がある。これに対し、p型ゲート電極領域とn型ゲート電極領域とを同時エッチング処理によって形成すると、n型ゲート電極となるn型多結晶シリコン部分のエッチング速度が、p型ゲート電極となるp型多結晶シリコン部分のエッチング速度に比べて大きいため、n型ゲート電極領域近傍の下地ゲート酸化膜が早く露出するようになり、露出したゲート酸化膜がエッチング処理され、その処理部分のゲート酸化膜が薄くなったり、その処理部分のゲート酸化膜に突き抜けが生じたりする場合があり、エッチング処理されたn型ゲート電極にサイドエッチが

発生したりする場合もある。

【0009】図3(a)乃至(d)は、n型多結晶シリコン部分を既知の表面処理方法によってプラズマエッチング加工し、n型ゲート電極パターンを得る際に、n型ゲート電極パターンの変化状態を示す断面図であって、(a)は加工前の状態、(b)乃至(d)は加工後の種々の状態であり、その中で、(b)はゲート酸化膜上にエッティング残渣がある状態、(c)はn型ゲート電極パターンにサイドエッチが入った状態、(d)はゲート酸化膜に突き抜けが生じた状態を示すものである。

【0010】図3(a)乃至(d)において、31はシリコン基板、32はゲート酸化膜、33はn型不純物をドープしたn型多結晶シリコン部、34はマスク、35はエッティング残渣、36はサイドエッチ、37はゲート酸化膜突き抜け部である。

【0011】まず、プラズマエッティング加工前の状態は、図3(a)に示されるように、シリコン基板31の一面にゲート酸化膜32が形成され、ゲート酸化膜32上にn型多結晶シリコン部33が設けられている。また、n型多結晶シリコン部33上のn型ゲート電極パターン形成部にマスク34が装着されている。

【0012】この場合、既知の表面処理方法においては、プラズマエッティング加工を行う際に、臭化水素(HBr)、塩素(Cl₂)及び酸素(O₂)の混合ガスを用い、エッティング条件として、エッティングトータルガス流量が50乃至300mL/min、処理圧力が0.2乃至4.0Pa、マイクロ波電力が400乃至1000Wで、その混合ガスのガス混合比及び高周波バイアスの電力値をそれぞれ選ぶことにより、好適なプラズマエッティング加工が行われるように設定している。

【0013】しかるに、このようなエッティング条件を設定したとしても、以下に述べるような種々の加工状態になることが多い。

【0014】その第1は、図3(b)に示されるように、ゲート酸化膜32上にエッティング残渣がある加工状態で、マスク34の装着領域に該当するn型ゲート電極パターン(n型多結晶シリコン部33)を除いた大部分のn型多結晶シリコン部33がエッティング除去されているものの、ゲート酸化膜32上に僅かながらエッティング除去されないn型多結晶シリコン部33のエッティング残渣35が残留しているものである。

【0015】その第2は、図3(c)に示されるように、加工されたn型ゲート電極パターンにサイドエッチ36が入った加工状態で、マスク34の装着領域に該当するn型ゲート電極パターン(n型多結晶シリコン部33)を除いた全てのn型多結晶シリコン部33がエッティング除去されているものの、n型ゲート電極パターンの側壁の保護が不十分であるため、ゲート酸化膜32との接合領域に近いn型ゲート電極パターンがエッティング除去され、サイドエッチ36が形成される。

【0016】その第3は、図3(d)に示されるように、ゲート酸化膜32に突き抜け部37が形成された加工状態で、マスク34の装着領域に該当するn型ゲート電極パターン(n型多結晶シリコン部33)を除いた全てのn型多結晶シリコン部33がエッティング除去されているだけでなく、n型ゲート電極パターン周辺のゲート酸化膜32の露出が早かつたため、露出したゲート酸化膜32が順次エッティング除去されてしまい、ゲート酸化膜32に突き抜け部37が形成される。

10 【0017】このように、既知の表面処理方法は、プラズマエッティング加工を行うときのエッティング条件を厳密に設定しない限り、所要の高い加工精度による処理加工を行うことが難しいものであった。

【0018】そこで、ゲート電極パターンのエッティングにおいて、下地のゲート酸化膜が露出した時点で、エッティング時のプロセス、例えば臭化水素(HBr)と塩素(Cl₂)と酸素(O₂)の混合ガスに代えて、臭化水素(HBr)と酸素(O₂)の混合ガスを用いてオーバーエッティングすることにより残渣やサイドエッチやゲート酸化膜の突き抜けを防止する手段が講じられている。この場合、例えば混合ガスの流量を100/5(mL/min)、処理圧力を1.2Pa以上、マイクロ波電力を0.4乃至1.0KW、バイアス電力を30乃至40Wとしてオーバーエッティング処理を実行する。

【0019】しかしながら、この手段は、臭化水素(HBr)と酸素(O₂)の混合ガスによる処理の処理圧力が高く、処理室内へのデポ物の付着が増大するという問題があった。

【0020】本発明は、このような技術的背景に鑑みてなされたもので、その目的は、シリコン堆積膜をプラズマ発生装置によって処理加工する際に、シリコン堆積膜を、異方性で、高い加工精度によって処理加工することを可能にした堆積膜表面処理方法を提供することにある。

【0021】

【課題を解決するための手段】前記目的を達成するために、本発明による堆積膜表面処理方法は、シリコン堆積膜をプラズマエッティング装置によって処理加工するものであって、加工処理を複数のステップに分けて行うよう40にし、複数のステップの中の前半の少なくとも1つのステップにおいて臭化水素(HBr)ガスまたは臭化水素(HBr)を含有する混合ガスを用いたプラズマエッティング処理を行い、かつ、複数のステップの中の後半の少なくとも1つのステップにおいて塩素(Cl₂)と酸素(O₂)の混合ガスを用いてプラズマエッティング処理を行なう手段を具備する。

【0022】前記手段によれば、シリコン堆積膜の下地のゲート酸化膜が露出するまでは、臭化水素(HBr)ガスまたは臭化水素(HBr)を含有する混合ガスを用いた第1のプラズマエッティング処理を行い、この第1の

プラズマエッティング処理によってエッティング残渣がなく、かつ、ゲート酸化膜に突き抜け部が形成されない状態のn型ゲート電極パターンを形成することができ、また、シリコン堆積膜の下地のゲート酸化膜が露出した後は、塩素(Cl₂)と酸素(O₂)の混合ガスを用いた第2のプラズマエッティング処理を行い、この第2のプラズマエッティング処理によって得られた多くの反応生成物がn型ゲート電極パターンの側壁に吸着されるので、n型ゲート電極パターンの側壁が第2のプラズマエッティング処理に対して保護され、サイドエッチが発生しないn型ゲート電極パターンを形成することができる。

【0023】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

【0024】図1は、本発明による堆積膜表面処理方法を実施するのに用いられるプラズマエッティング装置の構成の概要を示す断面図である。

【0025】図1に示されるように、プラズマエッティング装置は、真空容器1と、真空容器1の一端側開口部を封止するマイクロ波導入窓2と、真空容器1の他端側に配置されたガス排気口3と、真空容器1の外周面に沿って設置される電磁石4と、真空容器1の内部に配置され、表面に絶縁膜6が形成された試料台5と、試料台5上に載置された試料となる半導体素子基板7と、一端がマイクロ波導入窓2で終端しているマイクロ波導入部8と、マイクロ波導入部8の他端に接続されたマイクロ波発生源9と、試料台5に導電接続された高周波(RF)バイアス電源10及び可変直流電源11と、真空容器1内にガスを導入するガス導入部12とからなっている。また、真空容器1の内部にプラズマ領域Pが形成される。

【0026】この場合、マイクロ波導入窓2は、材質が石英、セラミック等のマイクロ波(電磁波)の透過物質からなっている。マイクロ波発生源9から出力されたマイクロ波は、マイクロ波導入部8を通り、マイクロ波導入窓2を透過して真空容器1の内部に導入される。ガス導入部12は、ハロゲンガス等のエッティングガスを真空容器1の内部に導入する。真空容器1の内部では、このエッティングガスにマイクロ波が作用し、エッティングガスによるプラズマ領域Pが形成される。電磁石4は、真空容器1内に磁場を発生させるものである。電磁石4が発生する真空容器1内の磁場強度は、真空容器1内に導入されたマイクロ波周波数と共に鳴を起すような値に設定されており、例えばマイクロ波周波数が2.45GHzであったとき、磁場強度が0.0875T程度になるよう選択される。このような磁場強度を選択されることにより、プラズマ領域P中の電子のサイクロトロン運動がマイクロ波周波数と共に鳴し、マイクロ波エネルギーが効率よくプラズマPに供給され、高密度のプラズマPが形成される。

【0027】半導体素子基板7は、シリコン堆積膜がエッティング処理されるもので、試料台5の上に載置される。この試料台5には、表面にセラミックあるいはポリマー膜からなる絶縁膜6が形成されている。高周波バイアス電源10は、試料台5に高周波バイアスを供給し、半導体素子基板7に入射するイオンを加速する。また、可変直流電源11は、直流電圧を試料台5に与え、そのとき発生する静電力によって半導体素子基板7を試料台5の上に保持させるものである。

10 【0028】ここで、図1に図示のプラズマエッティング装置を用い、半導体素子基板7のシリコン堆積膜をエッティング加工する場合の動作について説明する。この場合、シリコン堆積膜は、多結晶シリコン内にn型不純物をドープして形成したn型多結晶シリコンであって、このn型多結晶シリコンをエッティング加工し、n型ゲート電極パターンを得るものである。

【0029】図2(a)、(b)は、図1に図示されたプラズマエッティング装置を用い、半導体素子基板7のシリコン堆積膜をプラズマエッティング加工してn型ゲート電極パターンを得る際に、n型ゲート電極パターンの変化状態を示す断面図であって、(a)は加工前の状態、(b)は加工後の状態である。

20 【0030】図2(a)、(b)において、13はシリコン基板、14はゲート酸化膜、15はn型不純物をドープしたn型多結晶シリコン部及びn型ゲート電極パターン、16はマスクである。

【0031】そして、プラズマエッティング加工前の状態は、図2(a)に示されるように、シリコン基板13の一面にゲート酸化膜14が形成され、ゲート酸化膜14上にn型多結晶シリコン部15が設けられている。また、n型多結晶シリコン部15上のn型ゲート電極パターン形成部にマスク16が装着されているもので、図3(a)に図示された構成と同じ構成のものである。

【0032】ところで、本発明による堆積膜表面処理方法においては、半導体素子基板7のシリコン堆積膜に対するプラズマエッティング加工を行う際に、複数のステップを経て所要のプラズマエッティング処理を行うもので、プラズマエッティング加工によりゲート酸化膜14が露出するまでの第1のプラズマエッティング処理と、ゲート酸化膜14が露出した後の第2のプラズマエッティング処理とに分かれている。

【0033】この場合、第1のプラズマエッティング処理は、臭化水素(HBr)ガス、または、臭化水素(HBr)を含有する混合ガスを用いたプラズマエッティング処理であって、この場合、臭化水素(HBr)、塩素(Cl₂)及び酸素(O₂)の混合ガスを用い、例えば流量を70/30/3~5(mL/min)、処理圧力を0.2~1.0Pa、マイクロ波電力を0.4~1.0kW、バイアス電力を30Wとし、ゲート酸化膜14の大部分が露出するまでこの第1のプラズマエッティング処

理を実行する。第1のプラズマエッティング処理を行った場合、n型多結晶シリコン部15のマスク16が接着されていない領域は、臭素(Br)、塩素(Cl₂)等のハロゲン原子イオン及びラジカルがn型多結晶シリコン15と反応してエッティング処理が進行し、その処理の結果、n型ゲート電極パターン15が形成される。第1のプラズマエッティング処理時に生成された反応生成物の大部分は排気されるが、反応生成物の一部はn型ゲート電極パターン15の側壁に吸着する。なお、第1のプラズマエッティング処理においては、臭化水素(HBr)に含まれる水素(H₂)原子がn型ゲート電極パターン15の側壁に吸着する反応生成物の吸着量を抑制する。このため、臭化水素(HBr)ガスの混合率を高くした場合は、垂直方法のエッティング加工度が向上するものの、n型ゲート電極パターン15にサイドエッチが生じることがあるので、臭化水素(HBr)ガスの混合率を適宜選択することが好ましい場合がある。

【0034】また、第2のプラズマエッティング処理は、塩素(Cl₂)及び酸素(O₂)の混合ガスを用いたプラズマエッティング処理であって、例えば流量を90/10(ml/min)、処理圧力を0.3~1.0Pa、マイクロ波電力を0.4~1.0kW、バイアス電力を15Wとし、ゲート酸化膜14上にエッティング残渣がなくなるまでこの第2のプラズマエッティング処理を実行する。第2のプラズマエッティング処理を行った場合、生成された反応生成物の多くがn型ゲート電極パターン15の側壁に吸着するので、n型ゲート電極パターン15の加工寸法が僅かに大きくなるものの、n型ゲート電極パターン15にサイドエッチが生じることがなく、しかも、エッティング残渣の除去の際に下地のゲート酸化膜14に突き抜け部を形成することができなく、異方性の加工が可能になる。

【0035】その結果、プラズマエッティング加工後の状態は、図2(b)に示されるように、下地のゲート酸化膜14上にエッティング残渣がなく、n型ゲート電極パターン15にサイドエッチが生じておらず、下地のゲート酸化膜14に突き抜け部も形成されていない状態になり、かつ、異方性の加工が可能となるものである。

【0036】この第2のプラズマエッティング処理に用いる塩素(Cl₂)及び酸素(O₂)の混合ガスは、酸素(O₂)の混合率が0.5%乃至30%の範囲内に選択することが好ましい。

【0037】一方、マスク16の構成材料は、炭素を中心とするもの、または、炭素を含まないもののいずれを用いても同じマスク機能を発揮することができるが、窒化シリコンや酸化シリコン等からなる炭素を含まないものを用いた場合、下地のゲート酸化膜14との選択性が高くなる。

【0038】なお、前記の説明においては、本発明による堆積膜表面処理方法でプラズマエッティング処理する半

導体素子基板7のシリコン堆積膜がn型多結晶シリコン部15の単一層である例であったが、本発明による堆積膜表面処理方法の対象となるシリコン堆積膜は、n型多結晶シリコン部15の単一層である例に限られず、堆積膜がp型不純物をドープしたp型ドープ領域とn型不純物をドープしたn型ドープ領域とを共有するとデュアルゲート膜構造であるもの、シリコン膜上に、タンゲステン(W)、ニッケル(Ni)、コバルト(Co)、チタン(Ti)、モリブデン(Mo)、クロム(Cr)等の高融点金属層や、拡散を防ぐバリア膜としてこれらの金属の窒化物を含む層を積層したもの、あるいは、これらの金属のシリサイドを有するシリコン膜であっても、同じようにプラズマエッティング処理を行うことが可能である。

【0039】また、本発明による堆積膜表面処理方法は、プラズマ生成方法に係わりなく、同様の機能を達成させることができる。

【0040】以上の実施の形態によれば、従来行われていた処理圧力の高い臭化水素(HBr)と酸素(O₂)の混合ガスによるオーバーエッティング処理に代えて、処理圧力の低い塩素(Cl₂)と酸素(O₂)の混合ガスによるオーバーエッティング処理を実行することにより、残渣、サイドエッチ、下地のゲート酸化膜の突き抜けもなく、異方性で高い加工精度のエッティング加工処理ができるとともに、処理室へのデボ物の付着を少なくすることができます。

【0041】

【発明の効果】以上のように、本発明の堆積膜表面処理方法によれば、シリコン堆積膜の下地のゲート酸化膜が露出するまでは、臭化水素(HBr)ガスまたは臭化水素(HBr)を含有する混合ガスを用いた第1のプラズマエッティング処理を行い、この第1のプラズマエッティング処理によってエッティング残渣がなく、かつ、ゲート酸化膜に突き抜け部が形成されない状態のn型ゲート電極パターンを形成することができ、また、シリコン堆積膜の下地のゲート酸化膜が露出した後は、塩素(Cl₂)と酸素(O₂)の混合ガスを用いた第2のプラズマエッティング処理を行い、この第2のプラズマエッティング処理によって得られた多くの反応生成物がn型ゲート電極パターンの側壁に吸着されるので、n型ゲート電極パターンの側壁が第2のプラズマエッティング処理に対して保護され、サイドエッチが発生しないn型ゲート電極パターンを形成することができるという効果がある。

【図面の簡単な説明】

【図1】本発明による堆積膜表面処理方法を実施するのに用いられるプラズマエッティング装置の構成の概要を示す断面図である。

【図2】図1に示されたプラズマエッティング装置を用い、半導体素子のシリコン堆積膜をプラズマエッティング加工してn型ゲート電極パターンを得る際に、n型ゲー

ト電極パターンの変化状態を示す断面図である。

【図3】n型多結晶シリコン部分を既知の表面処理方法によってフライズマエッティング加工し、n型ゲート電極パターンを得る際に、n型ゲート電極パターンの変化状態を示す断面図である。

【符号の説明】

- 1 真空容器
- 2 マイクロ波導入窓
- 3 ガス排気口
- 4 電磁石
- 5 試料台

6 絶縁膜

7 半導体素子基板（試料）

8 マイクロ波導入部

9 マイクロ波発生源

10 高周波（R F）バイアス電源

12 ガス導入部

13 シリコン基板

14 ゲート酸化膜

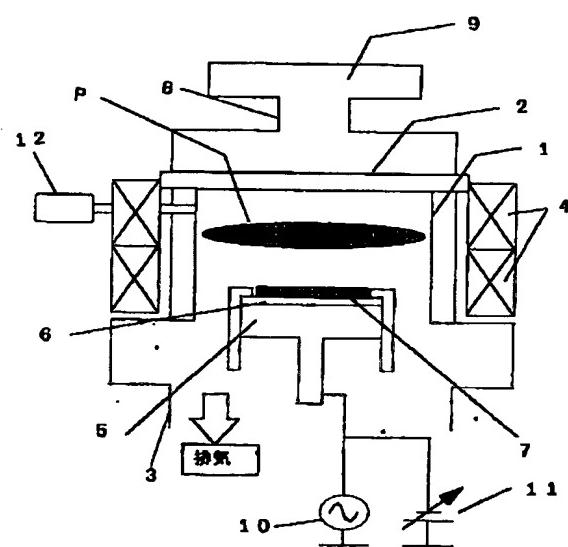
15 n型多結晶シリコン部（n型ゲート電極パターン）

16 マスク

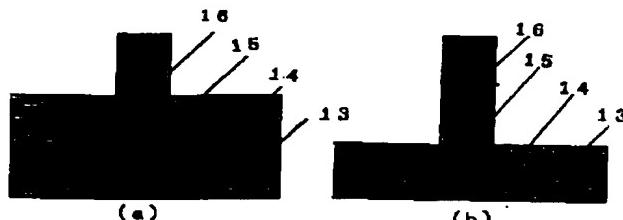
【図1】

【図2】

【図1】

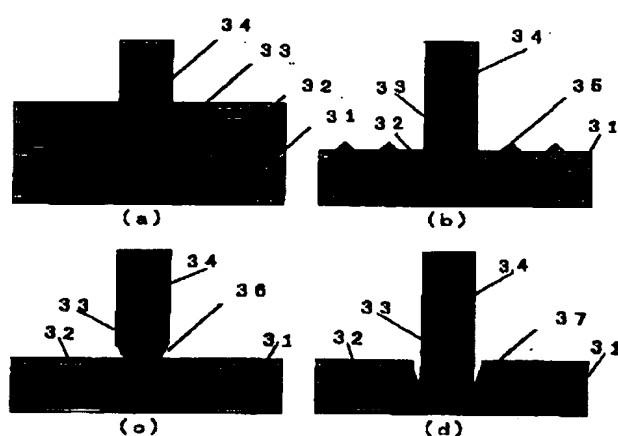


【図2】



【図3】

【図3】



フロントページの続き

(51)Int.Cl.⁷

H 01 L 21/3205
29/43

識別記号

F I

H 01 L 21/88

マークコード(参考)

P

Q

G

29/62

(72)発明者	坂口 正道 山口県下松市東豊井794番地 日立笠戸工 エンジニアリング 株式会社内	F ターム(参考) 4M104 BB01 BB29 BB40 CC05 DD65 DD66 DD71 GG10 GG14 GG16 HH20
(72)発明者	齊藤 利 山口県下松市東豊井794番地 株式会社日 立製作所笠戸事業所内	5F004 BA14 CA01 DA00 DA04 DA26 DB02 DB08 DB10 DB17 DB18 EA03 EA06 EA07 EA28
(72)発明者	吉岡 元彦 山口県下松市東豊井794番地 日立テクノ エンジニアリング 株式会社笠戸事業所内	5F033 HH04 HH07 HH15 HH17 HH18 HH19 HH20 HH25 HH26 HH27 HH28 HH29 HH32 HH33 HH34
(72)発明者	山本 直広 山口県下松市東豊井794番地 日立笠戸工 エンジニアリング 株式会社内	LL04 MM05 MM07 QQ08 QQ12 QQ15 QQ21 QQ28 VV06 XX00 XX21